

YMF288

(OPN3-L)

FM + Rhythm + SSG Synthesizer

■概要

YMF288は、YM2608BとFM音源部、リズム音源部、SSG音源部とのレジスタの互換性を保ちながら、ADPCM音源部、I/Oポート、SSG音源用D/Aコンバータを削除して端子数を削減し、CMOSプロセス化した音源LSIです。

スタンバイモード機能、低電圧動作を新たにサポートし、パッケージタイプとしては28ピンSOP、YMF288-Sを用意しています。

これにより、YM2608Bと比べ低消費電力、小スペース化を実現しているため、ノートパソコン等で使用しやすくなっています。

■特徴

□FM音源部 (YM2608B互換)

- 4オペレータ・6音同時発音
- FM演算用に8種のアルゴリズムを用意
- 振幅・周波数変調用にLFO機能内蔵
- ステレオ出力

□リズム音源部 (YM2608B互換)

- 最大同時発音数 6音
(バス・ドラム、スネア・ドラム、リム・ショット、タム、シンバル、ハイ・ハットの6音色各1音)
- 音色データ(ADPCM方式)ROM内蔵
- ステレオ出力

□SSG音源部 (YM2608B互換)

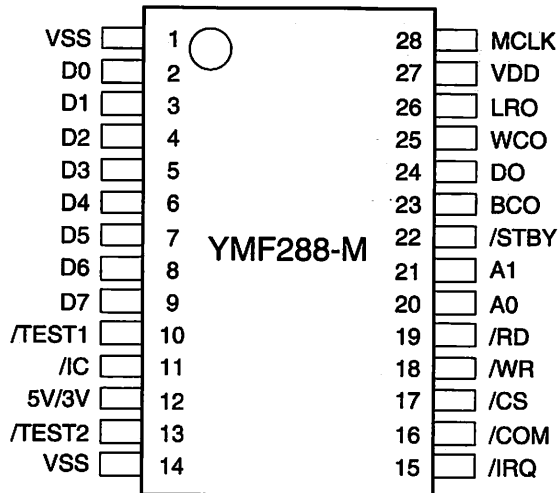
- 同時発音数は、矩形波3音、ノイズ1音
- エンベロープ 8種

□その他

- 2つのプログラマブルタイマー内蔵
- 音声データは、ステレオ16ビット、2'sコンプリメント、MSBファースト出力
- 全レジスタをリード可能
- 低消費電力モード(スタンバイモード)サポート
- 動作電源電圧は+5Vまたは+3.3V
- 28ピンプラスチックSOP (YMF288-M)、64ピンプラスチックSQFP (YMF288-S)

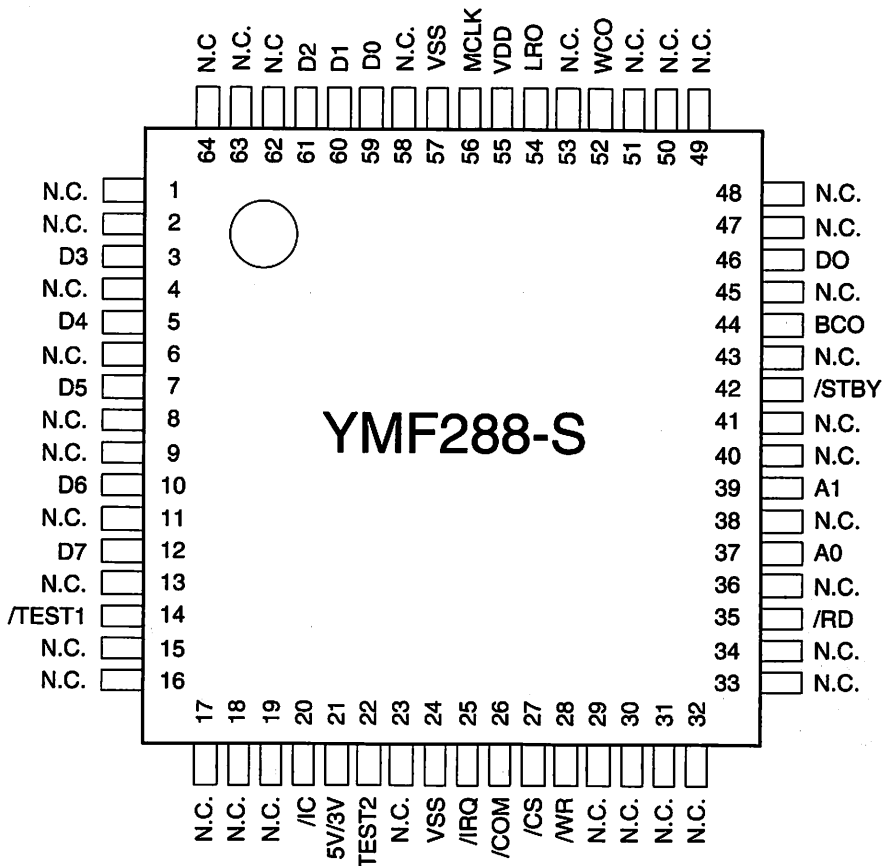
■端子配置図

YMF288-M



28 pin SOP Top View

YMF288-S



64 pin SQFP Top View

■端子機能説明

No	Name	I/O	機能	
1	57	VSS	-	グラウンド
2	59	D0	I/O	CPUインターフェース データ0
3	60	D1	I/O	CPUインターフェース データ1
4	61	D2	I/O	CPUインターフェース データ2
5	3	D3	I/O	CPUインターフェース データ3
6	5	D4	I/O	CPUインターフェース データ4
7	7	D5	I/O	CPUインターフェース データ5
8	10	D6	I/O	CPUインターフェース データ6
9	12	D7	I/O	CPUインターフェース データ7
10	14	/TEST1	I+	LSIテスト端子1 (必ず、無接続でご使用下さい)
11	20	/IC	I+	イニシャルクリア入力端子
12	21	5V/3V	I	電源電圧切換端子 ("H": 5V, "L": 3.3V)
13	22	/TEST2	I+	LSIテスト端子2 (必ず、無接続でご使用下さい)
14	24	VSS	-	グラウンド
15	25	/IRQ	OD	CPUインターフェース 割り込み信号
16	26	/COM	I	YM2608/YMF288モード切換 ("H": YM2608, "L": YMF288)
17	27	/CS	I+	CPUインターフェース チップセレクト
18	28	/WR	I	CPUインターフェース ライトイネーブル
19	35	/RD	I	CPUインターフェース リードイネーブル
20	37	A0	I	CPUインターフェース アドレス0
21	39	A1	I	CPUインターフェース アドレス1
22	42	/STBY	O	スタンバイモード出力 ("H":通常動作, "L":スタンバイモード)
23	44	BCO	O	DACインターフェース ビットクロック
24	46	DO	O	DACインターフェース シリアルデータ
25	52	WCO	O	DACインターフェース ワードクロック
26	54	LRO	O	DACインターフェース L/Rクロック
27	55	VDD	-	+5V(または+3.3V)電源
28	56	MCLK	I	マスタークロック入力 (7.9872MHz)

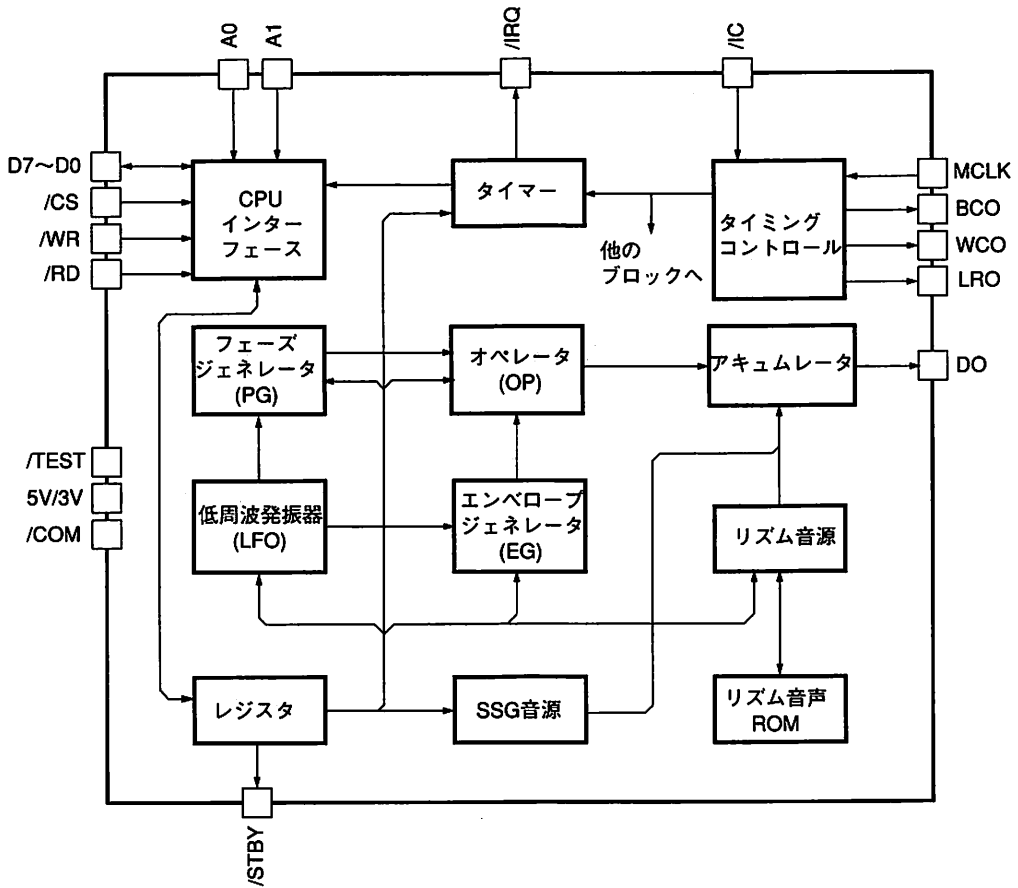
上記以外は、N.C.端子です。無接続でご使用下さい。

注)

I+: プルアップ内蔵入力端子

OD: オープンドレイン出力端子

■ブロック図



■各ブロック機能説明

1. タイミング・ジェネレータ部

各機能ブロックに必要なクロックおよびタイミング信号を生成します。

2. CPUインターフェース部

YMF288をコントロールするCPUとのインターフェースをします。

3. SSG音源部

SSGは、Software controled Sound Generatorの略で、14本のレジスタ、3系列の矩形波発生器、および、1系列のノイズ発生器から構成されています。

14本のレジスタの操作により、出力波形の周波数、エンベロープ、レベルをコントロールすることで、同時に矩形波3音、ノイズ1音の発音が可能です。

4. リズム音源部

リズム音源部は、ADPCM方式を用いて圧縮した6音色のリズム音を再生します。

発音やレベルをコントロールするための8本のレジスタ、音色ROM、および、リアル・タイムに音色ROM中のデータの伸張を行なう演算部から構成されています。

音色ROMには、バス・ドラム、スネア・ドラム、リム・ショット、タム、シンバル、ハイ・ハットの6音色が格納されており、6音同時発音が可能です。

5. FM音源部

FM音源部は、FM音源をコントロールするレジスタ群、フェイズ・ジェネレータ(PG)、エンベロープ・ジェネレータ(EG)、および、FM演算を行なうオペレータ(OP)などから構成されています。

これらのブロックは、それぞれ24スロットで時分割処理され、4スロット単位で1つの発音チャンネルを形成します。従って、最大同時発音数は6音となります。

6. アキュムレータ部

SSG、リズムおよびFMの各音源から出力された信号をL/Rに振り分け(SSG音は除く。)、それぞれミキシングおよびアキュムレートし、2チャンネルのシリアル・データを出力します。

■機能説明

1. CPUインターフェース

YMF288のFM音、SSG音及びリズム音の発音等の制御は、2.レジスタマップに示される各データレジスタにデータを書き込むことで制御されます。レジスタへのデータの書き込みやレジスタからのデータの読み出しはD0～D7のデータバスを介して行います。データバスは、A0～A1のアドレス信号と/CS、/WR、/RDの各コントロール信号で制御され、以下のようなモードに設定されます。

/CS	/RD	/WR	A1	A0	アドレス範囲	モード
L	H	L	L	L	00 - 2CH	アドレスライト (SSG、タイマーリズム等)
					30 - B6H	アドレスライト (FM 1～3チャンネル)
L	H	L	L	H	00 - 2CH	データライト (SSG、タイマーリズム等)
					30 - B6H	データライト (FM 1～3チャンネル)
L	H	L	H	L	10 - B6H	アドレスライト (FM 4～6チャンネル)
L	H	L	H	H	10 - B6H	データライト (FM 4～6チャンネル)
L	L	H	L	L	xxH	ステータス0リード
L	L	H	L	H	00 - B6H	データリード
					FFH	ステータス2リード (デバイス識別コード)
L	L	H	H	L	xxH	ステータス1リード
L	L	H	H	H	xxH	インアクティブ
H	x	x	x	x	xxH	

x: Don't care

1. インアクティブモード

D0～D7のデータバスは、ハイインピーダンス状態になります。

2. アドレスライトモード

データを書き込むレジスタのアドレスを設定します。データバス上にセットされたデータがレジスタのアドレスとしてラッチされます。データバス上のデータがレジスタのアドレスとしてラッチされるまでにマスタークロックで15サイクル必要です(詳細は、14ページ"4-5-2.レジスタアクセス時のウェイト時間の短縮"の項を参照)。この間はデータバス上のデータを変更しないで下さい。

3. データライトモード

アドレスライトモードで設定されたレジスタにデータを書き込むモードです。データバスには書き込むべきデータをセットして下さい。データバス上のデータがレジスタのデータとして確定するまでにマスタークロックで15サイクル必要です(詳細は、14ページ"4-5-2.レジスタアクセス時のウェイト時間の短縮"の項を参照)。この間はデータバス上のデータを変更しないで下さい。

4. データリードモード

アドレスライトモードで設定されたレジスタからデータを読み出すモードです。データバスにはレジスタの内容が出力されます。

※YMF288モードとYM2608互換モードでは読み出せるレジスタが異なります。詳細は"4-1-1. データレジスタリード機能"の項を参照して下さい。

5. ステータスリードモード



デバイスのステータスを読み出すモードです。データバスにはデバイスのステータス情報(タイマーフラグ、識別コード等)が出力されます。

2.レジスタマップ

YMF288では、FM音、SSG音およびリズム音の制御等のために以下のレジスタが用意されています。

Address	A1="0"の時	A1="1"の時
00H	SSG	
0DH	Rhythm	10H
10H		Flag Control
1DH	FM共通部 タイマー Key-On/Off	
20H		
2CH	FMパラメータ チャンネル1 - 3	30H
30H		FMパラメータ チャンネル4 - 6
B6H		B6H

2-1.ステータスレジスタ

Address (Hex)	ステータスレジスタ (R)								Comment
	D7	D6	D5	D4	D3	D2	D1	D0	
xxH	Busy					Flag TI-B TI-A			ステータス0
xxH	Busy		"0"	"0"	"0"	"0"	Flag TI-B TI-A		ステータス1
FFH	ID-No.								ステータス2

2-2. SSGデータレジスタ

Address (Hex)	SSG部レジスタ(R/W)								Comment
	D7	D6	D5	D4	D3	D2	D1	D0	
00H	Fine Tune								Aチャンネル 周波数設定
01H					Coarse Tune				
02H	Fine Tune								Bチャンネル 周波数設定
03H					Coarse Tune				
04H	Fine Tune								Cチャンネル 周波数設定
05H					Coarse Tune				
06H					Period Control				ノイズ 周波数設定
07H	IN/OUT IOB IOA		/Noise C B A			/Tone C B A			ミキサー設定
08H					M	Level			Aチャンネル音量設定
09H					M	Level			Bチャンネル音量設定
0AH					M	Level			Cチャンネル音量設定
0BH	Fine Tune								エンベロープ 周期設定
0CH	Coarse Tune								
0DH					C	ATT	ALT	HLD	エンベロープ形状設定

2-3. フラグコントロールレジスタ

Address (Hex)	フラグコントロールレジスタ(R/W)								Comment
	D7	D6	D5	D4	D3	D2	D1	D0	
10H	IRQ RST						Mask TI-B TI-A		フラグコントロール

2-4. FMデータレジスタ

Address (Hex)	FM部レジスタ (R/W)								Comment
	D7	D6	D5	D4	D3	D2	D1	D0	
20H							NEW	STBY	スタンバイモード、 YMF288/YM2608B互換モード切換
21H	Test								LSIのテストレジスタ
22H	LFO								LFOの周波数制御
24H	Timer-A								Timer-Aプリセット データ設定
25H	Timer-A								
26H	Timer-B								Timer-Aプリセットデータ設定
27H	Mode	Reset B A		Enable B A		Load B A		Timer-A/B制御、3CHのモード	
28H	Slot				CH				Key On/Off
29H	SCH							IRQ Enable TI-B TI-A	割り込み制御、 発音チャンネル数の設定
2AH	Test								LSIのテストレジスタ
2BH	Test								LSIのテストレジスタ
2CH	Test								LSIのテストレジスタ
30 - 3EH	DT				Multi				Detune, Multiple
40 - 4EH	TL								Total Level
50 - 5EH	KS		AR						Key Scale, Attack Rtae
60 - 6EH	AM	DR						AM ON, Decay Rate	
70 - 7EH	SR								Sustain Rate
80 - 8EH	SL				RR				Sustain Level, Release Rate
90 - 9EH	SSG-EG								SSGタイプエンベロープ制御
A0 - A2H	F-Num.1								F-Number, Block
A4 - A6H	Block				F-Num.2				
A8 - AAH	3ch* F-num.1								3CH-3Slot F-Number / Block
AC - AEH	3ch* Block				3ch* F-num.2				
BO - B2H	FB				Connet				Self Feed Back, アルゴリズム
B4 - B6H	L	R	AMS		PMS				出力選択、AM/PM Sense.

※30H - 9EHのレジスタはスロットとチャンネルに以下のように対応します。

Slot No.	S1	S2	S3	S4
CH1, CH4	x0H	x8H	x4H	xCH
CH2, CH5	x1H	x9H	x5H	xDH
CH3, CH6	x2H	xAH	x6H	xEH

2.5. リズム音制御レジスタ

Address (Hex)	リズム部レジスタ(R/W)								Comment	
	D7	D6	D5	D4	D3	D2	D1	D0		
10H	DM		RKon RIM TOM HH TC SD BD							ダンプ、リズムKey On/Off
11H	RTL								リズム トータルボリューム	
12H	Test								LSIテストレジスタ	
18H	L	R						IL	出力選択、楽器ボリューム (BD)	
19H	L	R						IL	出力選択、楽器ボリューム (SD)	
1AH	L	R						IL	出力選択、楽器ボリューム (TC)	
1BH	L	R						IL	出力選択、楽器ボリューム (HH)	
1CH	L	R						IL	出力選択、楽器ボリューム (TOM)	
1DH	L	R						IL	出力選択、楽器ボリューム (RIM)	

3. DACインターフェース

YMF288の音声データ(FM音、SSG音、リズム音)は、DO端子より2'sコンプリメントデータとして出力されます。サンプリング周波数(fs)は55.5kHz(@MCLK=7.9872MHz)、ビットクロックは48fsです。

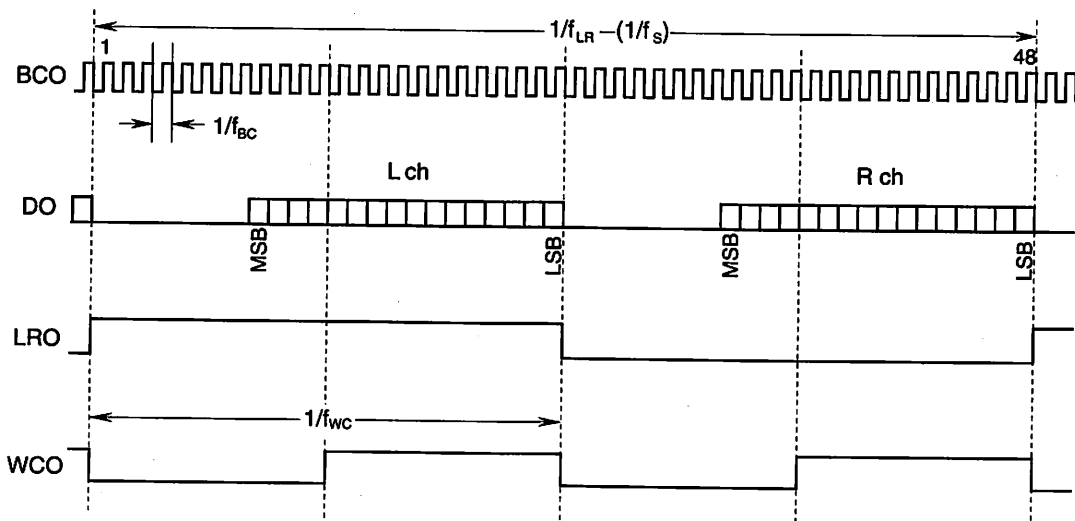


図1: DACインターフェースタイミング

4. システムリセット

YMF288は電源投入時、内部回路をリセットする(/IC="L")必要があります。リセットには、/ICの立ち下りのエッジと立ち上がりエッジが必ず必要です。また、立ち上がりエッジは、以下に示すタイミングチャート(図2)のようにLRCKの立ち下りに同期させて下さい。図3にリセットの回路例を示します。

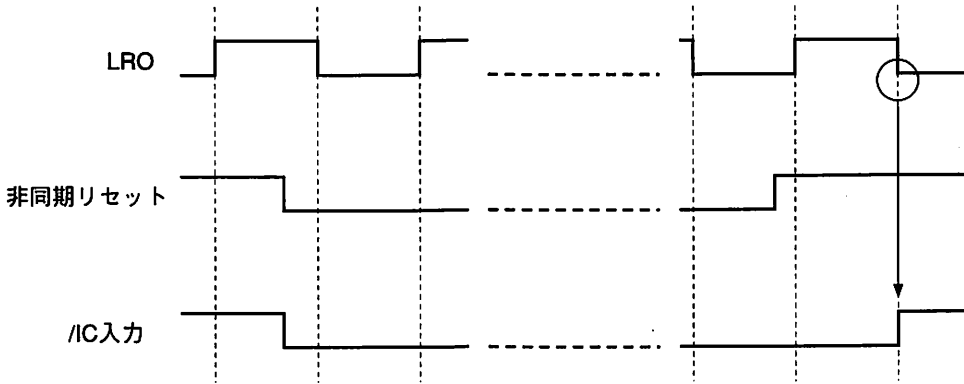


図2:リセット信号タイミング

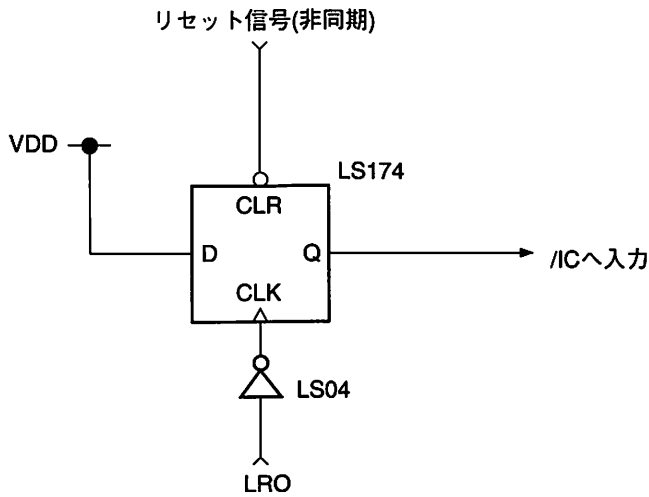


図3:リセット回路例

5.YM2608からの変更点

以下にYMF288とYM2608B(OPNA)との違いについて説明します。

5-1.動作モード

YMF288では、YM2608B互換モードと、YMF288モードの2種類のモード選択することができます。モードは/COM端子とNEWビットで選択し、以下ようになります。

/COM端子	NEW	モード
"H"	0	YM2608B互換
"H"	1	YM2608B互換
"L"	0	YM2608B互換
"L"	1	YMF288

YM2608B互換モードとYMF288モードでは以下の点が異なります。

5-1-1. データレジスタリード機能

YM2608B互換モードでは、SSG部レジスタのみレジスタの内容を読み出すことが可能です。SSG部以外のレジスタを読み出したときにはデータリードを行う直前にデータバスにセットされたデータが読み出されます。ただし、0E、0FHについては、ハイインピーダンス出力となります。

YMF288モードでは、すべてのレジスタの内容を読み出すことが可能ですが、以下のビットについては、常に"0"が出力されます。

- 27H Resetビット
- 10H IRQ RSTビット
- 28H Slot、Chビット
- 10H DM、RKonビット
- 12H LSI Testレジスタ
- 21H LSI Testレジスタ

また、レジスタが存在しないアドレスを読み出した場合には無意味なデータが出力されます。これらのレジスタへのアクセスは禁止して下さい。ただし、0E、0FHについては、ハイインピーダンス出力となります。

5-1-2. スタンバイモード機能

スタンバイモードは、レジスタの内容を保持したまま消費電力を抑える機能です。この機能はYMF288モードでのみ有効です。

スタンバイモードへの移行及び復帰はSTBYビットで制御します。STBY="1"でスタンバイモードへ移行し、STBY="0"でスタンバイモードから復帰します。

スタンバイモードへ移行する前には必ずすべてのチャンネルをキーオフまたはダンプし、完全に発音を停止し、また、アドレス00H～05HのSSG音源部のトーン周波数レジスタは全て"0"に設定して下さい。

スタンバイモード中、各端子は以下の状態になります。

- D0～D7(データバス):入力
- BCO、WCO、LRO、DO:"L"レベル出力
- /STBY:STBY="1"の期間中"L"レベルとなり、STBY="0"が設定されると"H"レベルになります。

スタンバイモード中は、アドレス20H以外のレジスタへのアクセスは禁止します。また、マスタ

ークロックの供給も停止しないで下さい。

スタンバイモードから復帰後、レジスタにアクセスを始めるまでに最低 $20\mu\text{s}$ 以上のウエイト時間をおいて下さい。

5-1-3. デバイス識別コード

デバイス識別コードは、それぞれのモードで以下のように出力されます。

YM2608B互換モード	01H
YMF288モード	02H

5-1-4. BUSYフラグ

YM2608B互換モードと、YMF288モードでは以下のようにBUSYフラグの出力が異なります。

YM2608B互換モード: データライト後のみ $24\mu\text{s}$ (192サイクル@7.9872MHz)の間Busyフラグが出力されます。

YM288モード: アドレスライト後、データライト後にBusyフラグが出力され、その期間は以下ようになります。

アドレスライト後: $1.9\mu\text{s}$ (15サイクル@7.9872MHz)

データライト後: $1.9\mu\text{s}$ (15サイクル@7.9872MHz)

ただし、10HリズムKey On/Offレジスタ

$22\mu\text{s}$ (180サイクル@7.9872MHz)

28H Slot、CHレジスタ

$24\mu\text{s}$ (192サイクル@7.9872MHz)

※これ以降は、YMF288モード、YM2608B互換モード共通の仕様変更点です。

5-2. SSG音源部

5-2-1. I/Oポートの削除

I/Oポートを削除したため、レジスタ0EH, 0FHは不使用となりました。ただし、互換性を考慮して07HのD7,D6ビットは残されています。

5-2-2. D/Aコンバータの削除

SSG音源部専用のD/Aコンバータを削除しました。従って、SSG音もFM音およびリズム音とデジタル・ミキシングし、DO端子より出力されます。

ミキシング・レベルは、SSG音1チャンネル(Level=15:最大音量)は、FM音1スロット(Total Level=0:最大音量)の0.25倍です。(図4参照)

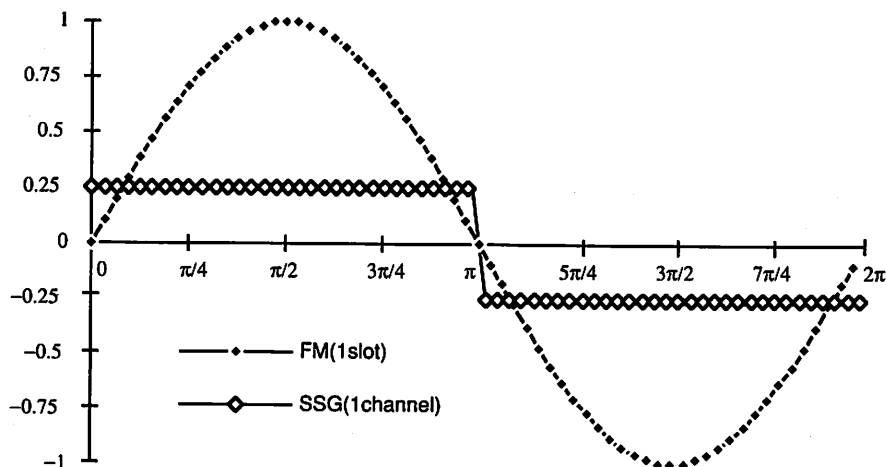


図4:YMF288 出力レベルミキシング比

5-2-3. トーン周波数設定の変更

$Tp = (\text{Coarse Tune}) * 256 + (\text{Fine Tune})$ とすると、 Tp の値により以下のようにトーン周波数を求める式が変わります。

$$\square 0 \leq Tp \leq 7$$

$$f_{\text{tone}} = 0 \quad [\text{Hz}]$$

※ このときレベル設定値に対応する直流分が出力されます。ただし、アドレス07Hの /Tone、/Noiseビットをともにディスエーブルした状態でレベル設定をすると、イネーブルした状態と比べ出力レベルは2倍となります。

$$\square 8 \leq Tp \leq 4095$$

$$f_{\text{tone}} = \frac{f_{\text{master}}}{64 \times Tp} \quad [\text{Hz}]$$

f_{tone} : 発音周波数

f_{master} : マスタークロック周波数(@7.9872 MHz)

5-3. FM音源部

CSM(複合正弦波合成)機能の削除

CSM modeを削除したため、レジスタ・アドレス27HのD7は不使用となりました。

5-4. ADPCM音源部

5-4-1. ADPCM音源部の削除

ADPCM音源部を削除したことにより、次に示すレジスタを削除しました。

00H	CONTROL1
01H	CONTROL2
02H	START ADR(L)
03H	START ADR(H)
04H	STOP ADR(L)
05H	STOP ADR(H)
06H	PRESICAL(L)

07H	PRESCAL(H)
08H	ADPCM-DATA
09H	DELTA-N(L)
0AH	DELTA-N(H)
0BH	EG CTRL
0CH	LIMIT ADR(L)
0DH	LIMIT ADR(H)
0EH	DAC DATA
0FH	PCM DATA
10H	FLAG CONTROLのD4,D3,D2ビット
29H	IRQ ENABLEのD4,D3,D2ビット

5-4-2. ステータス1の変更

ADPCM音源部の削除に伴い、ステータス1のD5,D4,D3,D2の各ビットは、“0”固定の出力となりました。

5-5. その他

5-5-1. 内部クロック分周比

プリスケイラー機能の削除に伴い、アドレス\$2D,2E,2Fのレジスタは削除され、SSG音源部、FM音源部、および、リズム音源部の分周比はそれぞれ1/8,1/6,1/12に固定されます。

5-5-2. レジスタアクセス時のウエイト時間の短縮

アドレス・ライト後、データ・ライト後のウエイト時間が*YM2608Bと比べ以下のように短縮されています。

※括弧内の数字はマスククロック(7.9872MHz)でのサイクル数

			YMF288	
アドレスライト後のウエイト時間				
音源部	アドレス	ウエイト時間		
FM	21~B6H	1.9 μs	(15)	
SSG	00~0FH	1.9 μs	(15)	
リズム	10~1DH	1.9 μs	(15)	
データライト後のウエイト時間				
音源部	アドレス	ウエイト時間		
FM	28H	24 μs	(192)	
	20~B6H *1	1.9 μs	(15)	
SSG	00~0FH	1.9 μs	(15)	
リズム	10H	22 μs	(180)	
	11~1DH	1.9 μs	(15)	

*1) アドレス28Hは除きます。

■電気的特性

1.最大定格

項目	記号	定格値		単位
		最小	最大	
電源電圧	V_{DD}	$V_{SS}-0.5$	$V_{SS}+7.0$	V
入力電圧	V_I	$V_{SS}-0.5$	$V_{DD}+0.5$	V
出力電圧	V_O	$V_{SS}-0.5$	$V_{DD}+0.5$	V
動作周囲温度	T_{OP}	0	70	℃
保存温度	T_{STG}	-50	+125	℃
入力端子電流	I_{IP}	-20	+20	mA

2.推奨動作条件

項目	記号	条件	推奨値			単位
			最小	標準	最大	
電源電圧	V_{DD}	5V/3V="L"	3.00	3.30	3.60	V
		5V/3V="H"	4.75	5.00	5.25	
動作周囲温度	T_{OP}		0	25	70	℃

3.直流特性

※推奨動作条件下において

項目	記号	条件	最小	標準	最大	単位
入力リーク電流 MCLK,/WR,/RD, A0,A1,D0~D7	I_{LI}	$V_I = 0 \sim V_{DD}[V]$	-10		10	μA
出力リーク電流 全出力端子	I_{LO}	$V_O = 0 \sim V_{DD}[V]$	-10		10	μA
入力電圧Lレベル 5V/3V端子 5V/3V端子を除く	V_{IL}				$0.2V_{DD}$	V
					0.8	
入力電圧Hレベル 5V/3V端子 5V/3V端子を除く	V_{IH}		$0.7V_{DD}$			V
			2.0			
出力電圧Lレベル 全出力端子	V_{OL}	$I_{OL}=1.6[mA]$			0.4	V
出力電圧Hレベル /IRQを除く全出力端子	V_{OH}	$I_{OH}=-80[\mu A]$	2.4			V
電源電流	I_{DD}	$V_{DD}=5.25[V]$			20	mA
		$V_{DD}=3.60[V]$			10	
		*1			2	
		*2			1	
プルアップ抵抗 /IC,/CS,/TEST	R_U		50	100	400	k Ω

*1:スタンバイ時、 $V_{DD}=5.25 [V]$ *2:スタンバイ時、 $V_{DD}=3.60 [V]$

4.入力クロック特性

※推奨動作条件下において

項目	記号	条件	規格			単位
			最小	標準	最大	
マスター・クロック周波数	f_{MCLK}	図5	7.7	7.9872	8.3	MHz
入力クロック立ち上がり時間	t_{RC}				30	ns
入力クロック立ち下がり時間	t_{FC}				30	ns
入力クロック・デューティ	D_{MCLK}		40	50	60	%
入力クロック電圧Lレベル	V_{ILC}		-0.3		0.8	V
入力クロック電圧Hレベル	V_{IHC}		2.0		V_{DD}	V

入力クロック・デューティ = $t_{IHC} \cdot f_{MCLK} \times 100$

5.端子容量

※推奨動作条件下において

項目	記号	規格			単位
		最小	基準	最大	
入力端子容量	C_I		5	8	pF
クロック入力端子容量	C_{IC}			8	pF
出力端子容量	C_O			10	pF
入出力端子容量	C_{IO}			12	pF

測定条件: $T_{OP}=25[^\circ C]$, $V_{DD}=5.0[V]$

入力電圧 $V_{IH}=2.4[V]$ 以上, $V_{IL}=0.45[V]$ 以下

$V_{IHC}=3.0[V]$ 以上, $V_{ILC}=0.4[V]$ 以下

入力信号周波数 1.0[MHz]

V_{DD} と測定端子以外は V_{SS} に接続

6. 交流直性

※推奨動作条件下において

項 目	記号	条 件	最 小	標 準	最 大	単 位
アドレスセットアップ時間	A0,A1	t_{AS}	図6,7	10		ns
アドレスホールド時間	A0,A1	t_{AH}	図6,7	10		ns
チップセレクトライト幅	/CS	t_{CSW}	図6	150		ns
ライトパルス幅	/WR	t_{WW}	図6	150		ns
ライトデータセットアップ時間	D0~D7	t_{WDS}	図6	0		ns
ライトデータホールド時間	D0~D7	t_{WDH}	図6	20		ns
チップセレクトリード幅	/CS	t_{CSR}	図7	200		ns
リードパルス幅	/RD	t_{RW}	図7	200		ns
リードデータアクセス時間	D0~D7	t_{ACC}	図7		200	ns
リードデータホールド時間	D0~D7	t_{RDH}	図7	10		ns
ライト・リードウェイト時間	/WR,/RD	t_{WRW}	図8	$6/f_{MCLK}$		s
リード・ライトウェイト時間		t_{RWW}	図9	180		ns
ライトウェイト幅	/WR	t_{WWW}	図10		$15/f_{MCLK}$	s
サンプルリク周波数		f_s	図1	$f_{MCLK}/144$		Hz
BCO周波数	BCO	f_{BC}	図1	48Fs		kHz
LRO周波数	LRO	f_{LR}	図1	Fs		kHz
WCO周波数	WCO	f_{WC}	図1	2Fs		kHz
出力立上がり時間	BCO,LRO, WCO,DO	t_r	図11		30	ns
出力立下がり時間	BCO,LRO, WCO,DO	t_f	図11		30	ns
DOセットアップ時間		t_{DOS}	図11	60		ns
DOホールド時間		t_{DOH}	図11	60		ns
LROセットアップ時間		t_{LRS}	図11	60		ns
LROホールド時間		t_{LRH}	図11	60		ns
WCOホールド時間		t_{WCH}	図11	60		ns
リセットパルス幅	/IC	t_{ICW}	図12	$192/f_{MCLK}$		s
LRO-/ICセットアップ時間		t_{ICS}	図12	0	100	ns
LRO-/ICホールド時間		t_{ICH}	図12	0	100	ns

注)出力端子の負荷容量 $C_L=50$ [pF]とする。

タイミング図の設定は、 $V_H=2.0[V]$, $V_L=0.8[V]$ を基準とする。

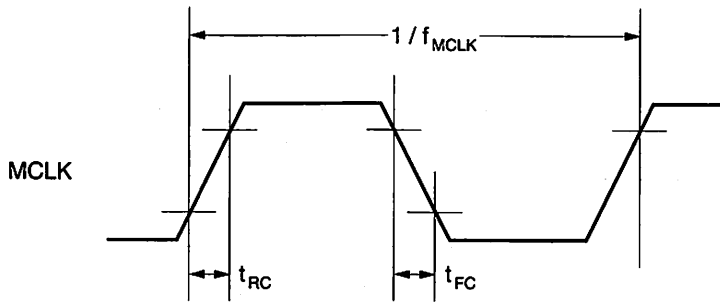
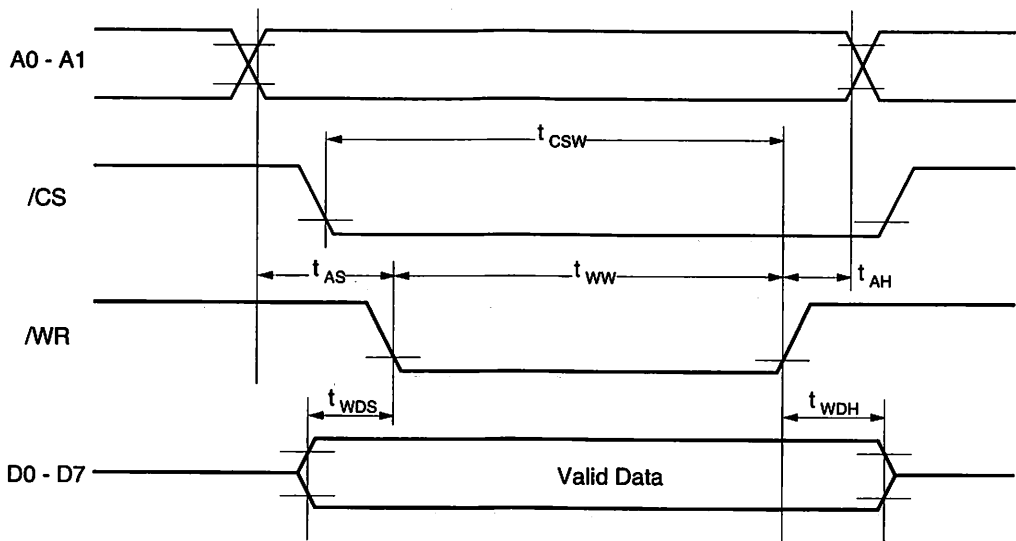
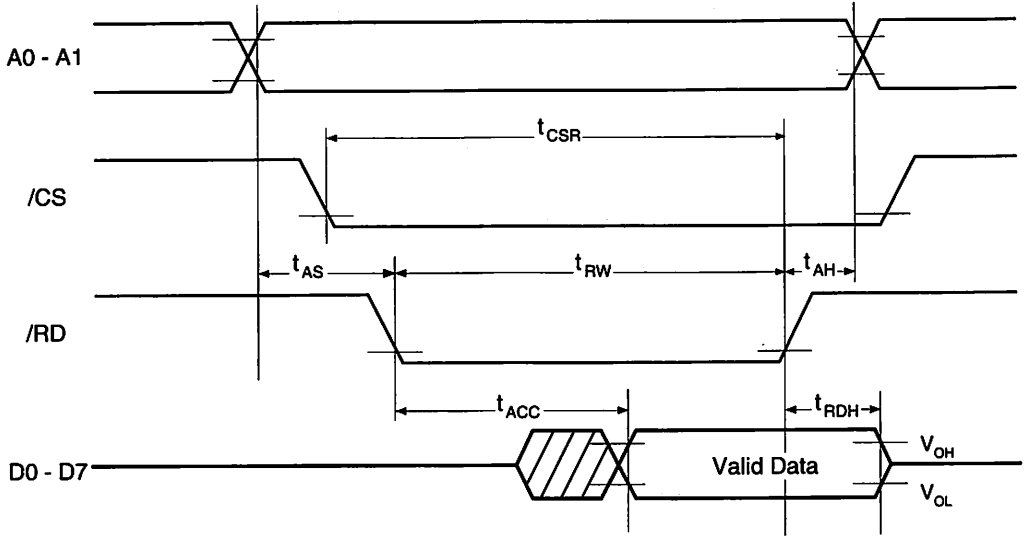


図5: マスタークロックタイミング



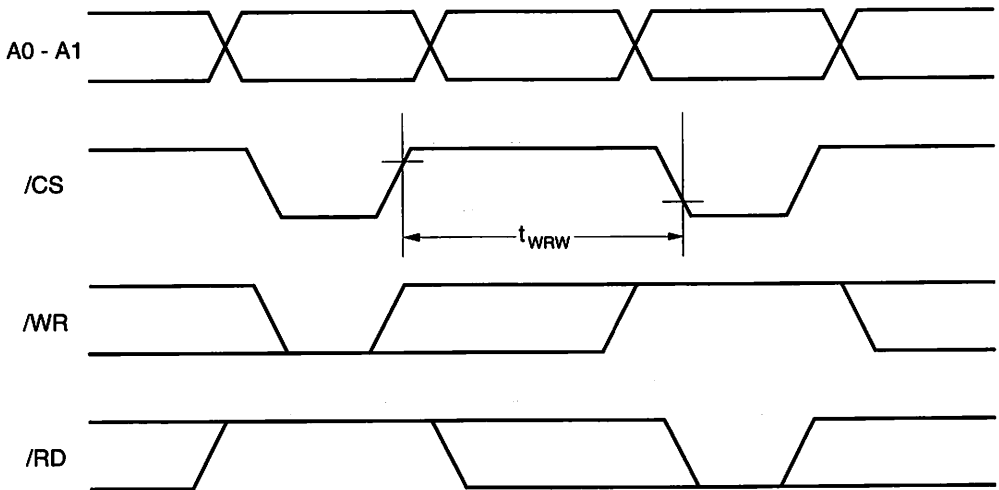
注) t_{AH} , t_{CSW} , t_{WW} , t_{WDH} は、/CS,/WRのいずれかが早く"L"レベルを越える時を基準とする。
 t_{WDS} は、/CS,/WRのいずれかが遅く"L"レベルになる時を基準とする。

図6: ライトタイミング



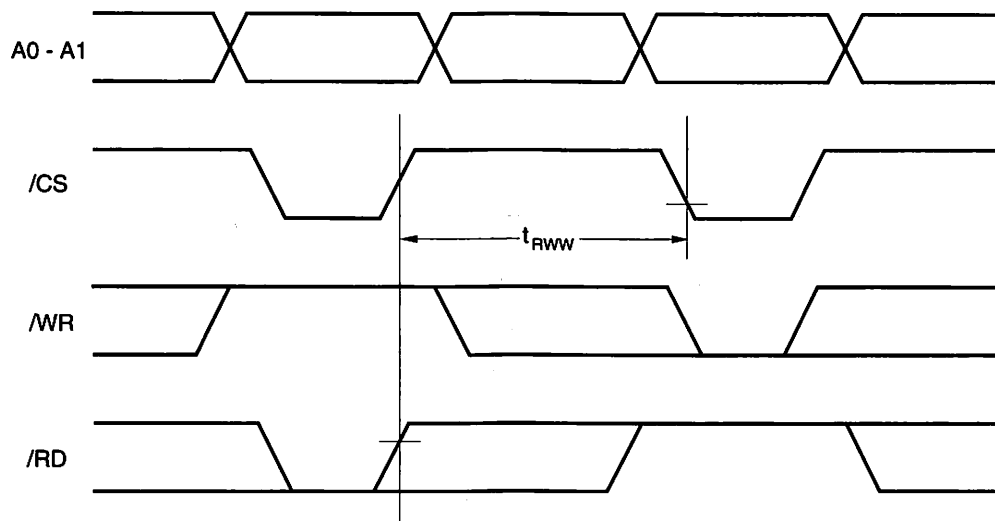
注) t_{AH} , t_{CSR} , t_{RW} , t_{RDH} は、/CS,/RDのいずれかが早く"L"レベルを越える時を基準とする。
 t_{ACC} は、/CS,/RDのいずれかが遅く"L"レベルになる時を基準とする。

図7: リードタイミング



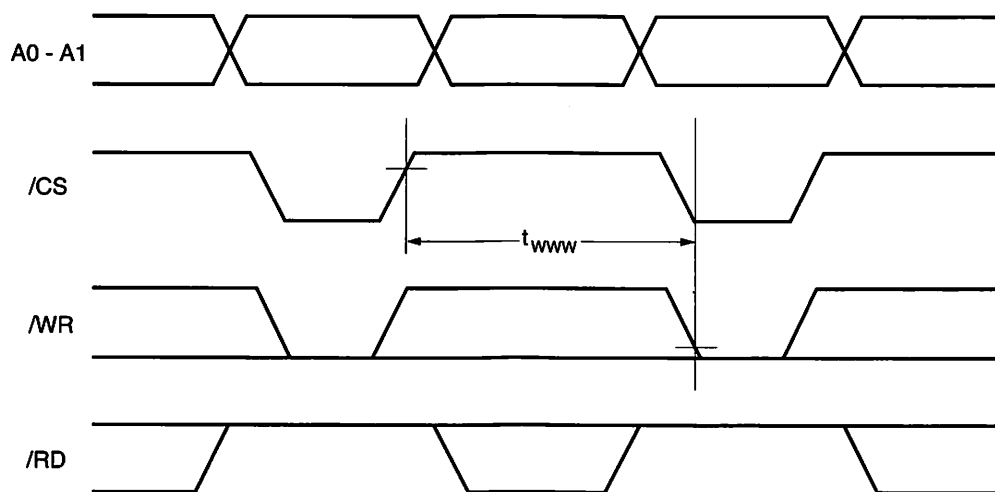
注) t_{WRW} は、/CS,/WRのいずれかが遅く"H"レベルになる時、および、/CS,/RDのいずれかが早く変化する時を基準とする。
 なお、 t_{WRW} は、A0,A1とは無関係である。

図8: ライト-リードタイミング



注) t_{RWW} は、/CS、/RDのいずれかが遅く"H"レベルになる時、および、/CS、/WRのいずれかが早く変化する時を基準とする。
 なお、 t_{RWW} はA0、A1とは無関係である。

図9: リード-ライトタイミング



注) t_{WWW} は、/CS、/WRのいずれかが遅くHighレベルになる時から、/CS、/WRのいずれかが遅く変化する時を表わす。
 なお、 t_{WWW} はA0、A1とは無関係である。

図10: ライト-ライトタイミング

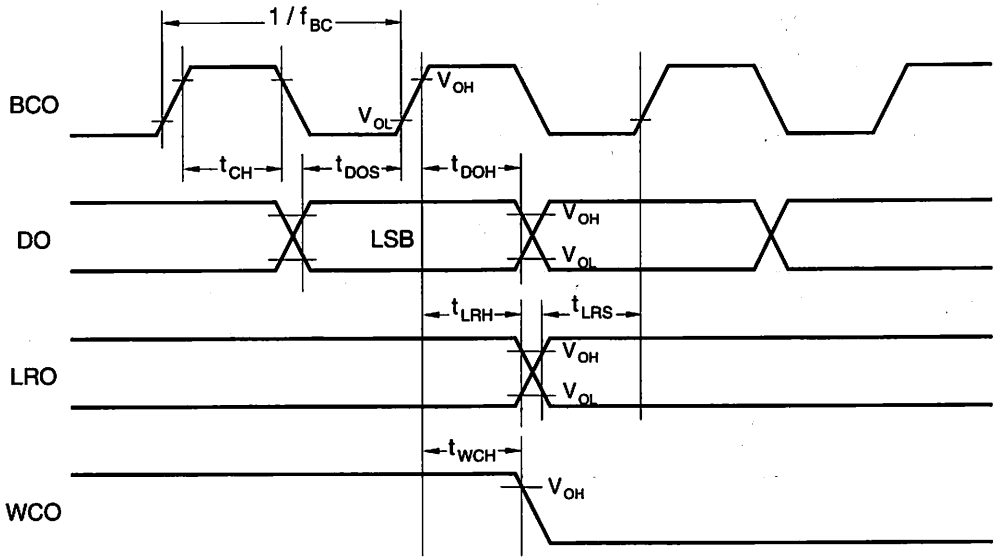


図11: DACインターフェースタイミング

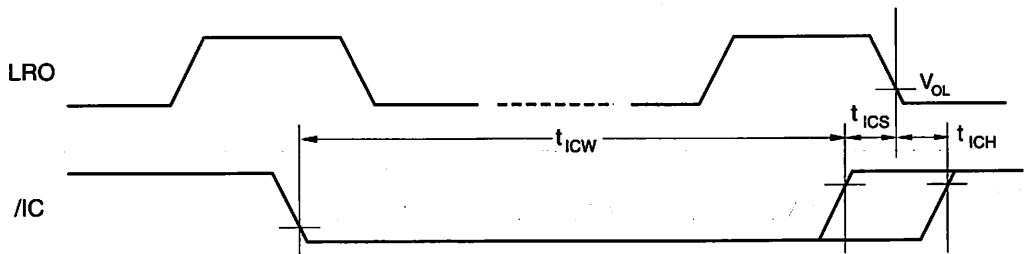
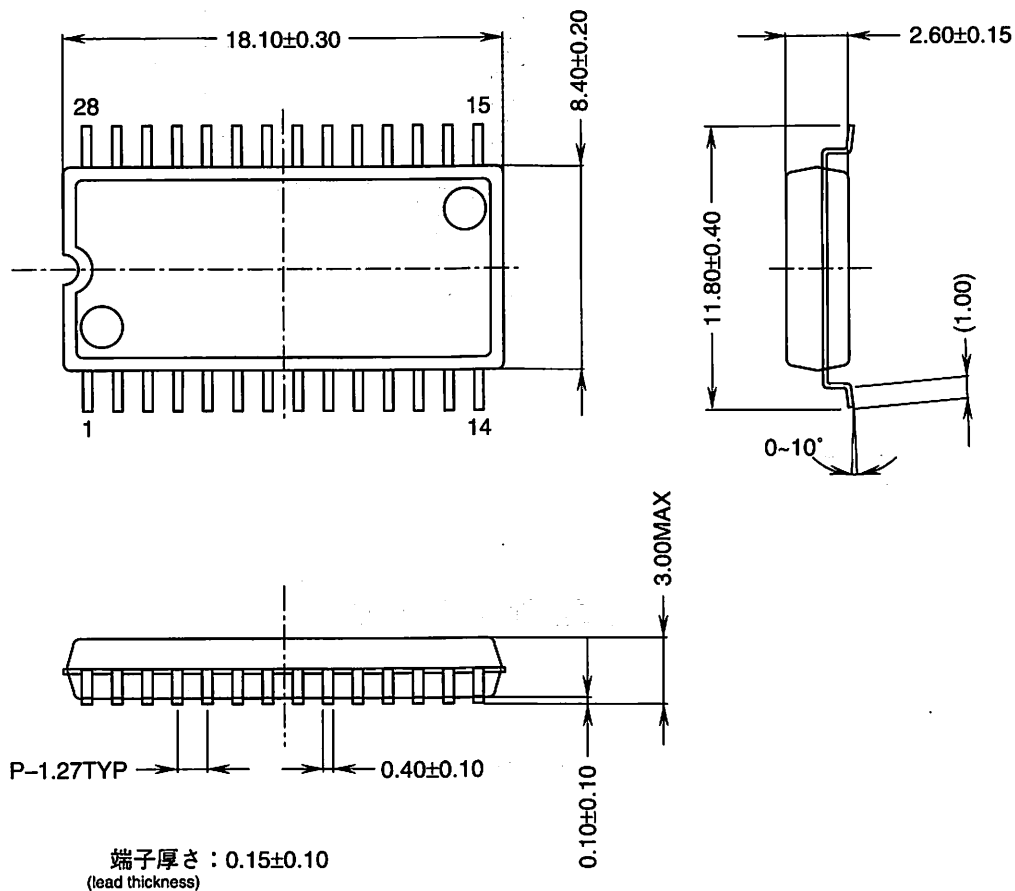


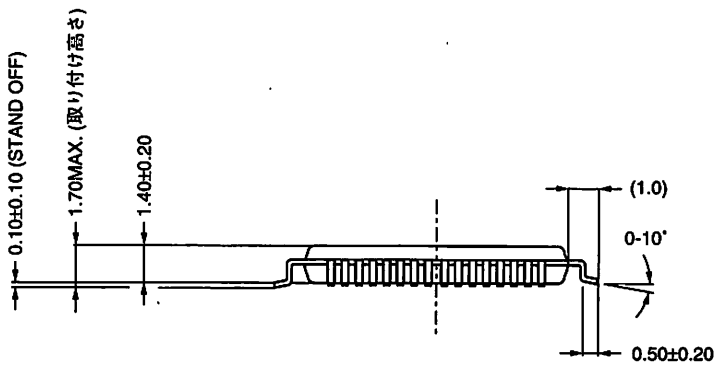
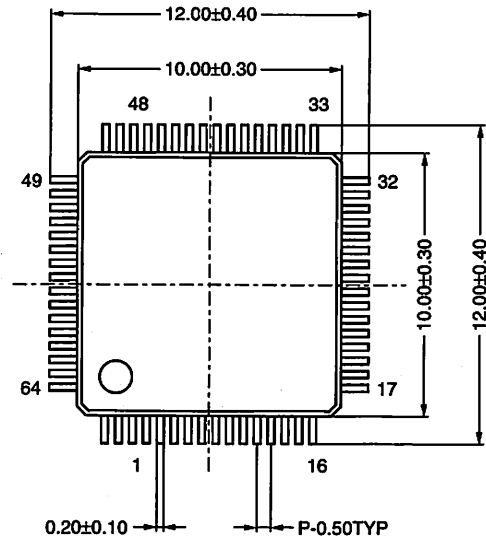
図12: リセットタイミング

■パッケージ外形図

YMF288-M



YMF288-S



端子厚さ : 0.125±0.05または0.15±0.05
(LEAD THICKNESS)